

EGMedical, s.r.o.

IRCDEK2

Hradlové pole s implementovaným kvadraturním dekodérem

Technická dokumentace

EGMedical, s.r.o. Křenová 19, 602 00 Brno CZ

www.strasil.net

2007

Obsah

1. Kvadrurní dekodér.....	3
1.1. Popis funkce.....	3
1.1.1. IRC snímače.....	3
1.1.2. Nabízené úpravy.....	5
1.2. Ekvivalentní vnitřní zapojení.....	6
1.3. Technické parametry.....	7
1.4. Zapojení pinů.....	8
2. Dodatky a přílohy.....	9
2.1. Dodatky.....	9
2.1.1. Ukázkové zapojení obvodu IRCDEK2 v aplikaci.....	9
2.2. Rozměrový výkres pouzdra.....	9

Seznam obrázků

Obr. 1.1: Štěrby na kódovém kotouči inkrementálního snímače.....	3
Obr. 1.2: Průběhy na výstupech snímače (A, B) a výstupní pulsy z kvadrurního dekodéru.....	4
Obr. 1.3: Ekvivalentní vnitřní zapojení hradlového pole IRCDEK2.....	6

Verze návodu ze dne 15.7.2008, 9 stran.

Oprava obr. 1.2: 13. 7. 2008

1. Kvadrurní dekodér

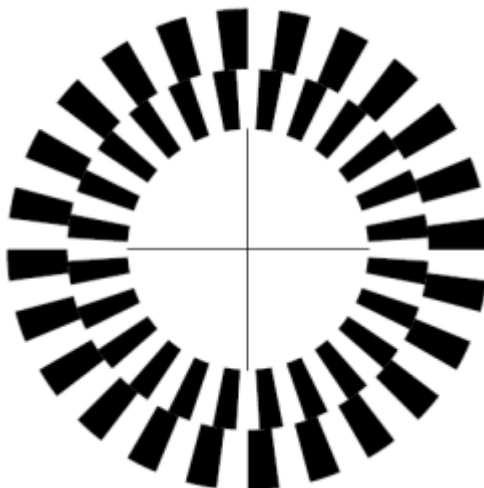
Naprogramované hradlové pole CPLD Xilinx XC9536XL zajiřtuje dekodování signálů A, B z inkrementálních rotačních i lineárních snímačů. Obvod se dodává v pouzdře PLCC 44, na objednávku v SMD pouzdře VQFP 44.

1.1. Popis funkce

Integrovaný obvod kvadrurního dekodéru IRCDEK2 je naprogramované hradlové pole Xilinx XC9536XL, které obsahuje program pro dekodování signálu z jednoho snímače v režimech 1x, 2x a 4x.

1.1.1. IRC snímače

Samotný IRC senzor (Incremental rotary encoder) je rotační snímač, určený k relativnímu odměřování úhlu nebo vzdálenosti, kterou je možné na rotační pohyb převést (např. pohyb posuvového šroubu na soustruhu). K našemu obvodu je samozřejmě možné připojit i lineární inkrementální snímače pro přímé snímání polohy.

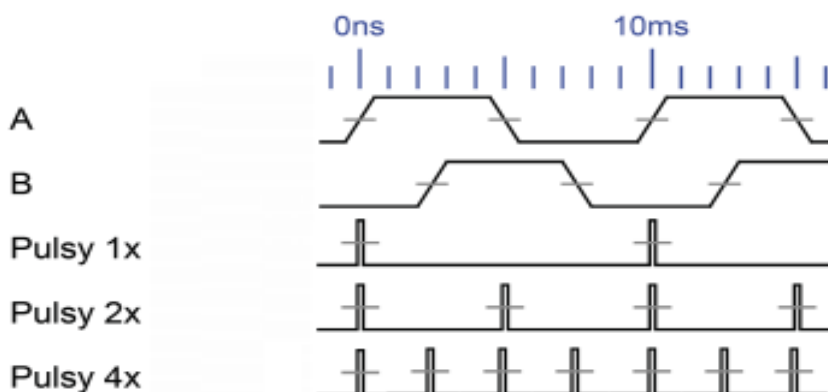


Obr. 1.1: Šterbiny na kódovém kotouči inkrementálního snímače

Vlastní snímač se skládá z kotouče s řádově stovkami až tisíci po obvodu rovnoměrně rozmístěných šterbin, které přerušují paprsek světla ke dvojici fototranzistorů. Počet šterbin určuje rozlišení snímače a udává se jako počet impulsů za otáčku (například 1024 imp/ot).

Fototranzistory jsou navzájem posunuty o polovinu úhlového rozlišení snímače, takže z postupu zastínění a odkrytí fototranzistorů je možné tzv. kvadrurním enkodérem určit směr pohybu a dokonce zvýšit rozlišení snímače až na čtyřnásobek základního rozlišení, určeného počtem otvorů v kotouči (průběh "Pulsy 4x" na obrázku 1.2).

Snímače se vyrábí v průmyslovém provedení s integrovanou elektronikou, která zesiluje a tvaruje signál od fototranzistoru obvykle do úrovní TTL nebo diferenciální linky. Dvojice výstupních signálů se označuje A, B.



Obr. 1.2: Průběhy na výstupech snímače (A, B) a výstupní pulsy z kvadrurního dekodéru

V nabízeném obvodu dekodéru je implementován kvadrurní dekodér, tedy logický obvod, který převádí signály A a B na signál SMĚR (direction) a KROK (pulse) s rozlišením 4x. Tyto signály jsou vyvedeny na piny pouzdra a můžeme k nim již snadno připojit čítač nebo mikrokontrolér.

Pro další usnadnění práce je v obvodu vložena odpojitelná dělička dvěma nebo čtyřmi pro případy, kdy stačí rozlišení 1x nebo 2x - dojde ke snížení frekvence výstupních pulsů, ale také ke snížení rozlišení. Režimy 1x a 2x proto používáme zejména tehdy, kdy jsou pohyby sledovaného předmětu příliš rychlé a/nebo rozlišení snímače příliš vysoké a připojená vyhodnocovací logika již nestíhá data zpracovávat. Vlastní dekodér pracuje vždy v nejpřesnějším možném režimu 4x.

Režimy děličky se nastavuje úrovní na pinech DIV0, DIV1:

Režim	DIV0	DIV1
4x (odpojena)	0	0
2x (dělí dvěma)	1	0
1x (dělí čtyřmi)	X	1

Ihned za děličku je zařazen výstup PULSEDIV, který s výstupem SMĚR (direction) tvoří dvojici výstupů s přepínatelným režimem 4x/2x/1x.

Připojením pinu CNT_EN do log. 0 se aktivuje vnitřní dvoubitový čítač (jeho výstupy jsou vyvedeny na piny CPLD_BIT0, CPLD_BIT1), který může sloužit jako další předdělička čtyřmi nebo jako první dva bity vratného čítače měření polohy. Implementace prvních dvou bitů čítače v obvodu dekodéru dále snižuje nároky na rychlost připojeného vyhodnocovacího zařízení. Přepínání dělicího poměru děličky a odpojování čítače je nutné provádět jen tehdy, když nevedí případná ztráta kroku, která během přepínání může nastat.

Režimy děličky se nastavuje úrovní na pinu CNT_EN:

Režim	CNT_EN	Výstupy čítače CPLD_BIT0, CPLD_BIT1
Čítač zapojen	0	Podle stavu čítače
Čítač odpojen	1	0, 0

Výstupy za děličkou a dvoubitovým čítačem jsou provedeny poněkud odlišně jako výstup KROK TAM (CU) a KROK ZPĚT (CD). Na objednávku je možné získat pole IRCDEK4, kde jsou tyto výstupy realizovány také systémem KROK a SMĚR.

Pro správnou funkci obvod vyžaduje hodinový signál o frekvenci typicky 0 – 20 MHz; maximální zpracovávaná frekvence je čtvrtinou hodinového signálu, výstupní pulsy mají trvání jedné periody hodin. Typicky se užívají hodiny 4 MHz nebo 8 MHz.

Jako zdroj hodinového kmitočtu můžeme použít RC oscilátor z hradel, hotový krystalový oscilátor nebo využít hodinový kmitočet mikrokontroléru, je-li v zapojení použit. Nároky na stabilitu hodinového kmitočtu jsou minimální.

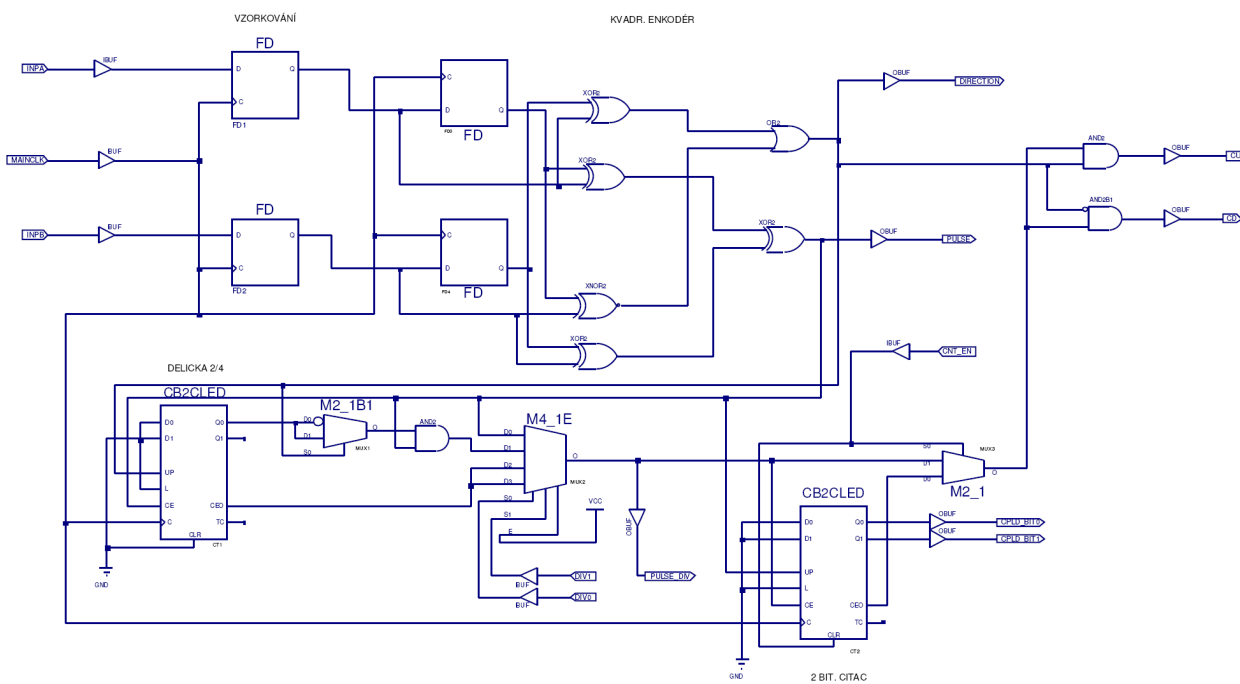
1.1.2. Nabízené úpravy

Na zakázku můžeme v hradlovém poli realizovat kompletní čítač do délky až 100 bitů (obdobu obvodů Avago HCTL) nebo navrhnout kompletní měřící zařízení i s vyhodnocováním. Na tomto obvodu je založena i jednoduchá a levná konstrukce IRC čítače - odměřovače, která byla uveřejněna v časopise Praktická elektronika. Jako reference o spolehlivosti použitého dekodéru a vyhodnocení snad poslouží, co mi napsal jeden zákazník (pan Beneš z Dobrušky): *Čítače jsou fantastické... jsem s ním velice spokojený, je spolehlivý....*

Máme vyvinut i mj. trojnásobný IRC dekodér/čítač v jednom integrovaném obvodu CPLD.

Nabízený obvod je samozřejmě také možné použít jako náhradu drahých a špatně dostupných dekodérů LS7183, LS7184.

1.2. Ekvivalentní vnitřní zapojení



Obr. 1.3: Ekvivalentní vnitřní zapojení hradlového pole IRCDEK2

1.3. *Technické parametry*

Napájecí napětí (U _{cc})	3,0 – 3,6 (typicky 3,3) V DC Vstupy jsou 5 V tolerantní, výstupní úrovně odpovídají TTL.
Odběr proudu	Typ. 20 mA, Max. 35 mA
Výstupní úroveň, H	2,4 – [U _{cc}] V
Výstupní úroveň, L	0 – 0,4 V
Výstupní proud log. výstupů	doporučeno do 4 mA, maximálně 10 mA
Vstupní úroveň, H	2,0 – 5,5 V
Vstupní úroveň, L	0 – 0,8 V
Vstupní proud	0,1 mA max.
Taktovací frekvence	0 – 20 MHz
Provozní teplota	- 40 až + 85 °C

1.4. Zapojení pinů

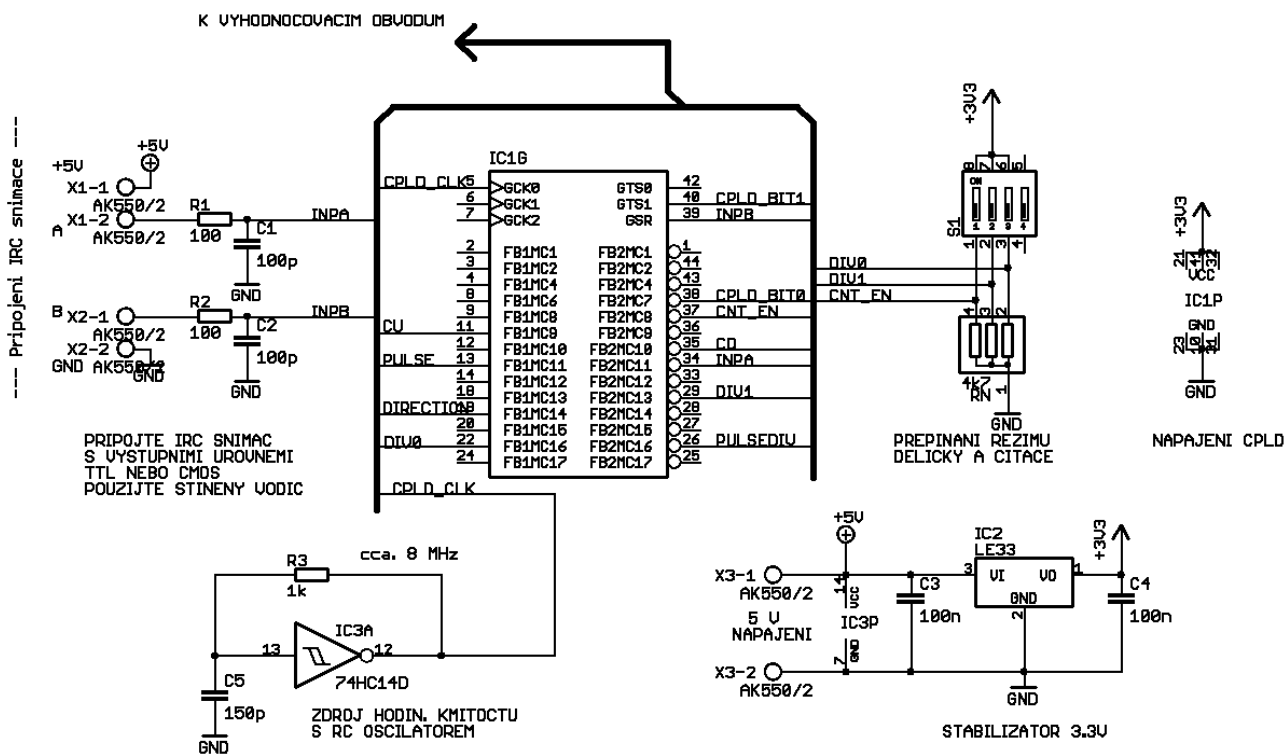
Pin č.	Název		Funkce
pinů obvodu			
5	CPLD_CLK	IN	Vstup hodin, maximálně 20 MHz
11	CU	OUT	Výstup KROK TAM, zařazen za děličku a dvoubitový čítač
13	PULSE	OUT	Přímý výstup KROK kvadrurního dekodéru zařazený před děličkou a dvoubitovým čítačem, pracuje trvale v režimu 4x.
19	DIRECTION	OUT	Přímý výstup SMĚR kvadrurního dekodéru zařazený před děličkou a dvoubitovým čítačem, pracuje trvale v režimu 4x (přesněji – nastavení dělení nemá na SMĚR vliv, proto můžeme výstup SMĚR využít i při použití děličky a/nebo dvoubitového čítače). S výstupem PULSEDIV tvoří dvojici výstupů KROK a SMĚR s přepínatelnými režimy 4x, 2x a 1x.
22	DIV0	IN	Nastavení děličky
26	PULSEDIV	OUT	Výstup KROK zařazený mezi děličkou a dvoubitovým čítačem. Spolu s výstupem DIRECTION - SMĚR tvoří dvojici výstupů KROK a SMĚR s přepínatelnými režimy 4x, 2x a 1x.
29	DIV1	IN	Nastavení děličky
34	INPA	IN	Vstup od snímače – vodič A
35	CD	OUT	Výstup KROK ZPĚT, zařazen za děličku a dvoubitový čítač
37	CNT_EN	IN	V log. 0 zapíná dvoubitový čítač
38	CPLD_BIT0	OUT	LSB výstup dvoubitového čítače
39	INPB	IN	Vstup od snímače – vodič A
40	CPLD_BIT1	OUT	MSB výstup dvoubitového čítače
21,32,41	+3V3		Napájení – 3,0 až 3,6 V
10,23,31	GND		Napájení – 0 V

Ostatní piny jsou NC – nezapojeny. Nepřipojujte k nim žádné signály, nechte tyto piny nezapojené.

2. Dodatky a přílohy

2.1. Dodatky

2.1.1. Ukázkové zapojení obvodu IRCDEK2 v aplikaci



2.2. Rozměrový výkres pouzdra

Pouzdro PLCC 44 (standardní):

<http://direct.xilinx.com/bvdocs/packages/pc44.pdf>

SMT pouzdro VQFP 44 (na objednávku):

<http://direct.xilinx.com/bvdocs/packages/vq44.pdf>